

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11016906 A

(43) Date of publication of application: 22.01.99

(51) Int. Cl.

H01L 21/3205

(21) Application number: 09172447

(71) Applicant: SONY CORP

(22) Date of filing: 27.06.97

(72) Inventor: MAEDA KEIICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

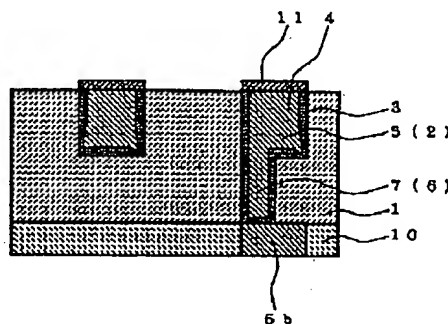
wiring 5 can be avoided thereby enabling the reliability upon the wiring and element to be improved.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To avoid the increase in resistance by the oxidation of a wiring as well as the decrease in the reliability of the wiring and an element, by a method wherein an oxidation preventive film is self aligningly formed on the surface of a trench wiring formed on an insulating film when the wiring is formed by buried-wiring technology.

SOLUTION: An insulating film 1 is formed on a substrate 10 and then a wiring trench 2 is formed on the insulating film 1. Next, a barrier metal 3 is formed in the wiring trench 2. Next, a wiring material 4, after its formation, is softened to be fluidified by heat treatment at the temperature exceeding the crystalline temperature but not exceeding the melting point thereof so as to bury the wiring trench 2 by pouring the wiring material 4 into the wiring trench 2 wherein the barrier metal 3 is formed. Successively, the surplus part of the wiring material 4 is removed by etching back step to be left for producing a trench wiring 5. Next, an oxidation preventive film 11 is self aligningly formed on the surface of the trench wiring 5. Through these procedures, the oxidation of the surface of the trench



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-16906

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁶

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

K

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平9-172447

(22) 出願日 平成9年(1997) 6月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前田 圭一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

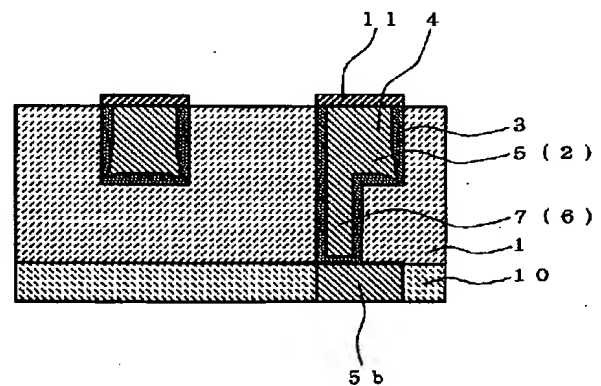
(74) 代理人 弁理士 田治米 登 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 埋め込み配線技術により形成した配線の表面酸化を防止し、抵抗の上昇や信頼性の低下を防止する。

【解決手段】 基板10上に形成された絶縁膜1に配線溝2が形成され、その配線溝2に配線材料4を埋め込むことにより形成された溝配線5を有する半導体装置において、溝配線5の表面に自己整合的に酸化防止膜11を形成する。



【特許請求の範囲】

【請求項1】 基板上に形成された絶縁膜に配線溝が形成され、その配線溝に配線材料を埋め込むことにより形成された溝配線を有する半導体装置において、溝配線の表面に自己整合的に酸化防止膜が形成されていることを特徴とする半導体装置。

【請求項2】 溝配線が、銅系配線材料から形成されている請求項1記載の半導体装置。

【請求項3】 酸化防止膜が、無電解メッキ膜又は選択CVD膜からなる請求項1又は2記載の半導体装置。

【請求項4】 酸化防止膜が、コバルト含有無電解メッキ膜である請求項3記載の半導体装置。

【請求項5】 酸化防止膜が、選択CVDによるタングステン膜である請求項3記載の半導体装置。

【請求項6】 以下の工程(a)～(e)：

(a) 基板上に絶縁膜を形成する工程；

(b) 絶縁膜に配線溝を形成する工程；

(c) 絶縁膜上に配線材料を成膜すると共に、配線溝に配線材料を埋め込む工程；

(d) 絶縁膜上に成膜された配線材料を除去することにより溝配線を形成する工程；及び

(e) 溝配線の表面に自己整合的に酸化防止膜を形成する工程；を含んでなることを特徴とする半導体装置の製造方法。

【請求項7】 工程(c)において、配線材料として銅系配線材料を使用する請求項6記載の製造方法。

【請求項8】 工程(e)において、酸化防止膜を、無電解メッキ法又は選択CVD法により形成する請求項6又は7記載の製造方法。

【請求項9】 工程(e)において、酸化防止膜としてコバルト含有無電解メッキ膜を形成する請求項8記載の製造方法。

【請求項10】 工程(e)において、酸化防止膜として選択CVDによるタングステン膜を形成する請求項8記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、溝配線（埋め込み配線）構造を有する半導体装置、及びその製造方法に関する。

【0002】

【従来の技術】LSIの高集積化に伴い、その内部配線の微細化、多層化が進んでおり、これに伴い配線形成時の平坦化技術や微細配線の加工技術及び配線の信頼性の確保が重要となっている。

【0003】これらの課題の解決手段の一つとして、埋め込み配線技術が検討されている。この埋め込み配線技術とは、図6に示すように、絶縁膜1上に配線パターンの溝（即ち、配線溝）2を形成し（同図（a））、この配線溝2の中に、通常予めバリアメタル層3を形成後、

配線材料4を埋め込み（同図（b））、配線材料4の余剰部分をエッチバック又は化学的機械研磨法（CMP（Chemical Mechanical Polish））によって除去し、配線溝2部分に配線材料4を残すことにより溝配線5を形成する方法である（同図（c））。埋め込み配線技術によると、配線部分が絶縁膜1に埋め込まれた形状となるため、この後の行程で層間平坦化が容易となるという利点を有する。

【0004】埋め込み配線技術の応用としては、デュアルダマシン（Dual Damascene）配線が注目されている。デュアルダマシン配線とは、例えば、図7に示すように、下層配線5b上の絶縁膜1に対して配線を埋め込む配線溝2と上下の配線層間を結ぶ接続孔6とを形成し（同図（a））、これら双方を、予めバリアメタル層3を形成後配線材料4で埋め込み（同図（b））、CMP（Chemical Mechanical Polish）で配線材料4の余剰部分を削り、上層の溝配線5及び接続孔6内の配線プラグ7を同時に形成する技術である（同図（c））。このデュアルダマシン配線技術によると、配線と配線プラグとを一度に形成することができるので、大幅なプロセスコストの低減を図ることができる。

【0005】

【発明が解決しようとする課題】しかしながら、上述の従来の埋め込み配線技術には、次のような問題がある。即ち、図6（c）あるいは図7（c）に示すように、配線溝2内に配線材料4を埋め込んだ後、余剰部分をエッチバック又はCMPで除去することにより溝配線5を形成すると、この溝配線5の表面が露出することとなる。そのため、その後の工程までの大気放置中あるいはこの溝配線5上にさらに層間絶縁膜を形成する間に、図6（d）あるいは図7（d）に示すように溝配線5が酸化されて表面に酸化層8が形成され、配線抵抗が上昇したり、配線や素子の信頼性が低下するという問題がある。特に、溝配線5が、酸化されやすい銅配線の場合にはこの問題が顕著であり、表面酸化により銅イオンが溝配線5上の層間絶縁膜中へ拡散するため、配線や素子の信頼性が低下する。

【0006】本発明は、以上の従来の技術の問題を解決しようとするものであり、埋め込み配線技術により配線を形成するにあたり、配線の酸化による抵抗の上昇や、配線及び素子の信頼性の低下を防止することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するため、本発明は、基板上に形成された絶縁膜に配線溝が形成され、その配線溝に配線材料を埋め込むことにより形成された溝配線を有する半導体装置において、溝配線の表面に自己整合的に酸化防止膜が形成されていることを特徴とする半導体装置を提供する。

【0008】また、本発明は、以下の工程 (a) ~ (e) :

(a) 基板上に絶縁膜を形成する工程 ;

(b) 絶縁膜に配線溝を形成する工程 ;

(c) 配線溝に配線材料を埋め込むと共に絶縁膜上に配線材料を成膜する工程 ;

(d) 絶縁膜上に成膜された配線材料を除去することにより溝配線を形成する工程 ; 及び

(e) 溝配線の表面に自己整合的に酸化防止膜を形成する工程 ; を含んでなることを特徴とする半導体装置の製造方法を提供する。

【0009】本発明の半導体装置によると、溝配線上に自己整合的に酸化防止膜が形成されているので、溝配線の表面の酸化を防止することができる。したがって、配線の酸化による配線抵抗の上昇や配線の信頼性の低下を防止することができる。

【0010】特に、この酸化防止膜を無電解メッキ法又は選択CVD法により形成すると、低コストに自己整合的に酸化防止膜を形成することができる。

【0011】

【発明の実施の形態】以下、本発明を図面に基づいて詳細に説明する。なお、各図中同一符号は同一又は同等の構成要素を表している。

【0012】図1は本発明の一態様の半導体装置の断面図である。同図の半導体装置は、基板10上の絶縁膜1に形成された配線溝2に配線材料を埋め込むことにより形成された溝配線5を有し、さらにこの溝配線5の表面に自己整合的に形成された酸化防止膜11を有している。この半導体装置は、以下の工程 (a) ~ (e) :

(a) 基板上に絶縁膜を形成する工程 ;

(b) 絶縁膜に配線溝を形成する工程 ;

(c) 絶縁膜上に配線材料を成膜すると共に、配線溝に配線材料を埋め込む工程 ;

(d) 絶縁膜上に成膜された配線材料を除去することにより溝配線を形成する工程 ; 及び

(e) 溝配線の表面に自己整合的に酸化防止膜を形成する工程 ; から形成されている。ここで、工程 (a) ~ 工程 (d) は、図6 (a) ~ (c) 及び図7 (a) ~

(c) に示した従来の溝配線の形成技術と同様に行うことができ、基板、配線材料、絶縁膜材料等も従来の材料を使用することができる。

【0013】例えば、基板10としては、通常のLSIプロセスによりSi基板上に素子形成したもの等を使用することができる。

【0014】工程 (a) で形成する絶縁膜1としては、SiO₂、BPSG、PSG、BSG、AsSG、NSG、SOG、LTO、SiN、SiON、SiOF等Siの化合物である公知の絶縁材料、またプロセスの最高温度が耐熱性を満たす範囲で、アモルファスTeflon (poly tetrafluoroethylene)、BCB (benzocyclobuten

e)、Parylene、Flare (fluorinated arylene ether) 等の有機系低誘電率材料、あるいはそれらの積層膜を用いることができる。

【0015】工程 (b) で形成する配線溝2も公知のリソグラフィ技術とエッチング技術とを利用して形成することができる。また、このとき配線溝2の他に接続孔6も同様に形成することができる。

【0016】工程 (c) の絶縁膜1上への配線材料4の成膜と配線溝2の埋め込みの工程においては、まず、配線溝2にバリアメタル層3を形成し、次いでリフロー法 (配線材料4を成膜後、配線材料4の結晶温度以上融点以下の温度に加熱処理して配線材料4の膜を軟化、流動化させ、バリアメタル層3が形成されている配線溝2の内部に配線材料4を流し込むことにより配線溝2を埋め込む方法)、高圧リフロー法 (配線材料4の加熱処理を高圧の不活性ガス中で行い、配線材料4をバリアメタル層3が形成されている配線溝2の内部に高い効率で押し込むことにより充填する方法)、高温スパッタ法等により配線材料4の形成と埋め込みとを行う。配線溝2の他に接続孔6も同時に埋め込み、配線プラグ7を形成する場合にも、同様にバリアメタル層3の形成や配線材料4の埋め込みを行う。

【0017】ここで、バリアメタル層3としては、Ti、TiN、TiON、W、WN、TiW、TiWN、Ta、Ta₂N等の高融点金属膜やその化合物膜の単独膜またはこれらの積層膜をあげることができる。

【0018】また、配線材料4としては、純Al、Al-Cu、Al-Si、Al-Si-Cu、Al-Ge、Al-Si-Ge、Al-Ge-Cu、Al-Cu-Ti、Al-Si-Ti、Al-Sc、Al-Sc-Cu等、種々のAl系合金、純Cu、Cu-Ti、Cu-Zr等Cu系合金、Ag等を挙げることができる。これら配線材料の中でも、銅系配線材料を使用することが好ましい。

【0019】配線材料4の埋め込み後は、配線材料4の余剰部分をエッチバック又は化学的機械研磨法 (CMP) 等によって除去し、配線溝2内に配線材料4を残すことにより溝配線5を得る。

【0020】工程 (e) の溝配線5の表面に自己整合的に酸化防止膜11を形成する工程は、本発明の製造方法に特徴的な工程であり、これにより溝配線5の表面の酸化を防止し、配線や素子の信頼性の向上を図る。ここで溝配線5の表面に自己整合的に酸化防止膜11を形成するとは、当初から、溝配線5の表面に選択的に酸化防止膜11を形成するという意味である。

【0021】このような酸化防止膜11の形成方法としては、無電解メッキ法、選択CVD法、窒化膜の形成等をあげることができる。このうち無電解メッキ法による場合には、溝配線5を形成した基板10を、溝配線5の配線材料4と反応しない金属の無電解メッキ液に浸し、

無電解メッキ膜を形成する。例えば、銅又は銅合金を配線材料とする場合、無電解メッキ液としては、Co、Cr、W、Ta、Mo等の無電解メッキ液を使用することができる。溝配線5上に形成する無電解メッキ膜の中では、特にコバルト含有無電解メッキ膜が好ましい。

【0022】選択CVD法等による場合には、W、TiN等の配線材料のバリアメタルを選択CVD法で成膜することにより酸化防止膜11を形成することができる。

【0023】窒化膜の形成による場合には、プロセスガスとしてN₂、NH₃等を用いて溝配線5を熱処理したり、ICP (Inductive Coupled Plasma)、ECRプラズマ、平行平板プラズマ、マグネトロンプラズマ等の種々の方式により生成した窒素プラズマを溝配線5の表面に照射することにより酸化防止膜11を形成することができる。

【0024】

【実施例】以下、本発明を実施例により具体的に説明する。

【0025】実施例1

本実施例の製造工程の説明図を図2に示す。

【0026】まず、通常のLSIプロセスに従い、Si基板上に素子形成を行い、下層配線5bを形成した基板10に絶縁膜1を形成し、通常のPR、RIE法により絶縁膜1に配線溝2と接続孔6とを形成した(図2(a))。この場合、配線溝2の幅を0.4μm、深さを0.5μmとした。

【0027】次に、高真空中におけるマグネトロンスパッタ法によりバリアメタル層3として、Ti層及びTiN層を順次それぞれ次の成膜条件で成膜した(図2(b))。

【0028】Ti成膜条件

DCパワー：5kW

プロセスガス：Ar100sccm

圧力：0.4Pa

基板温度：150℃

膜厚：20nm

【0029】TiN成膜条件

DCパワー：5kW

プロセスガス：Ar30sccm、N₂80sccm

圧力：0.4Pa

基板温度：150℃

膜厚：50nm

【0030】引き続き、高真空中にて連続的にマグネトロンスパッタ法によりpure-Cu(配線材料4)を次の成膜条件で成膜した(図2(c))。この成膜においては、Cuは配線溝2又は接続孔6の開口部分でつながり、内部にボイド12を有する構造となった。

【0031】Cu成膜条件

DCパワー：15kW

プロセスガス：Ar100sccm

圧力：0.4Pa

基板温度：400℃

膜厚：1200nm

【0032】次に、以下の高圧リフロー条件にしたがい、高真空中にArガスを導入して基板を高圧Ar雰囲気下におき、配線材料(Cu)4をリフローさせて配線溝2及び接続孔6に同時に充填した(図2(c))。また、このとき基板温度を400℃以上という、Cuの再結晶温度付近近傍まで加熱し、埋め込み性を向上させた。

【0033】高圧リフロー条件

圧力：10⁴Pa以上

基板温度：450℃

時間：1min

【0034】次に、CMP法により、溝配線5及び配線プラグ7以外の部分の配線材料(Cu)4とバリアメタル層(Ti/TiN)3とを化学的機械研磨し、除去することにより、溝配線5を構成する配線材料(Cu)4の表面を露出させた(図2(d))。この場合のCu CMP条件を以下に示す。

【0035】CuCMP条件

研磨圧力：100g/cm²

回転数：定盤 30rpm、研磨head 30rpm

研磨パッド：SUBA IV

スラリー：NH₃ベース(フォームドシリカ含有)

流量：100cc/min

温度：25~30℃

【0036】次に、露出した配線材料(Cu)4の表面の酸化を防止するため、次の無電解メッキ条件で基板をCo無電解メッキ液に浸し、Co無電解メッキ膜からなる酸化防止膜11aを形成した(図2(e))。

【0037】無電解メッキ条件

薬液：コンバスM(株式会社ワールドメタル製)

温度：70~80℃

【0038】実施例2

実施例1と同様にして、基板10上の絶縁膜1に配線溝2及び接続孔6を形成し、高真空中におけるマグネトロンスパッタ法により、バリアメタル層3としてTi層及びTiN層を順次それぞれ次の成膜条件で成膜し、さらに配線材料4としてCuを成膜した(図3(a))。

【0039】Ti成膜条件

DCパワー：5kW

プロセスガス：Ar100sccm

圧力：0.4Pa

基板温度：150℃

膜厚：20nm

【0040】TiN成膜条件

DCパワー：5kW

プロセスガス：Ar30sccm、N₂80sccm

圧力：0.4Pa

基板温度：150℃

膜厚：50nm

【0041】Cu成膜条件

DCパワー：15kW

プロセスガス：Ar100sccm

圧力：0.4Pa

基板温度：150℃

膜厚：1000nm

【0042】マグネトロンスパッタ法によるCuの成膜後の状態は、図3(a)に示したように、配線材料4であるCuが配線溝2や接続孔6内に充填されていない。そこで減圧還元雰囲気中で以下のリフロー条件によりリフローし、配線材料4を埋め込んだ(図3(b))。

【0043】Cuリフロー条件

プロセスガス：H₂500sccm

圧力：67Pa

基板温度：400℃

アニール時間：5min

【0044】次に、CMP法により、溝配線5及び配線プラグ7以外の部分の配線材料(Cu)4とバリアメタル層(Ti/TiN)3とを化学的機械研磨し、除去することにより、溝配線5を構成する配線材料(Cu)4の表面を露出させた(図3(c))。

【0045】次に、露出した配線材料(Cu)4の表面の酸化を防止するため、配線材料(Cu)4の表面にWからなる酸化防止膜11bを選択CVD法により次のW成膜条件によって形成した。

【0046】W成膜条件

プロセスガス：WF₆/SiH₄/H₂/Ar=10/7/1000/10sccm

圧力：30Pa

基板温度：260℃

膜厚：30nm

【0047】実施例3

実施例2と同様にして、基板10上の絶縁膜1に配線溝2及び接続孔6を形成し、高真空中におけるマグネトロンスパッタ法により、バリアメタル層3としてTi層及びTiN層を順次成膜し、さらに配線材料4としてCuを成膜し、配線材料4であるCuをリフローさせ、CMP法により余剰の配線材料4を研磨し、溝配線5を構成する配線材料(Cu)4の表面を露出させた(図4(a))。

【0048】次に、露出した配線材料(Cu)4の表面の酸化を防止するため、配線材料(Cu)4の表面をランプ加熱法により以下の窒化条件で熱処理し、Cuの窒化膜からなる酸化防止膜11cを形成した(図4(b))。

【0049】Cu窒化条件

プロセスガス：N₂

流量：5l/sec

基板温度：400℃

時間：2min

05 【0050】実施例4

実施例3と同様にして、基板10上の絶縁膜1に配線溝2及び接続孔6を形成し、配線材料4であるCu銅をリフローし、CMP法により余剰の配線材料4を研磨して溝配線5の表面を露出させた(図5(a))。

10 【0051】次に、露出した配線材料(Cu)4の表面の酸化を防止するため、窒素プラズマ13によって以下のCu窒化条件で配線材料(Cu)4の表面を窒化することにより酸化防止膜11dを得た(図4(b))。なお、窒素プラズマ13としては、ICP(Inductive Coupled Plasma)を用いた。

15 【0052】Cuプラズマ窒化条件

プロセスガス：N₂

流量：100sccm

圧力：0.4Pa

20 基板パワー：300W(13.56MHz)

基板パワー：500W(13.56MHz)

基板温度：300℃

時間：2min

【0053】

25 【発明の効果】本発明によれば、埋め込み配線技術により形成した溝配線の表面に自己整合的に酸化防止膜を形成するので、溝配線の表面の酸化による配線抵抗の上昇を防止することができ、また配線や素子の信頼性の低下を防止することができる。

30 【図面の簡単な説明】

【図1】本発明の半導体装置の断面図である。

【図2】本発明の実施例の半導体装置の製造方法の工程説明図(同図(a)～(e))である。

【図3】本発明の実施例の半導体装置の製造方法の工程説明図(同図(a)～(d))である。

【図4】本発明の実施例の半導体装置の製造方法の工程説明図(同図(a)、(b))である。

【図5】本発明の実施例の半導体装置の製造方法の工程説明図(同図(a)、(b))である。

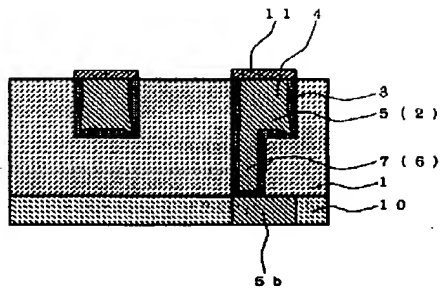
40 【図6】従来の半導体装置の製造方法の工程説明図(同図(a)～(d))である。

【図7】従来の半導体装置の製造方法の工程説明図(同図(a)～(d))である。

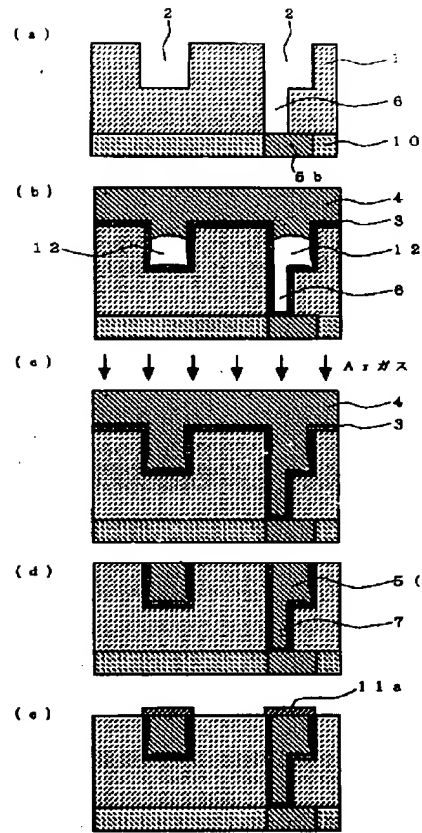
【符号の説明】

45 1…絶縁膜、2…配線溝、3…バリアメタル層、4…配線材料、5…溝配線、6…接続孔、7…配線プラグ、8…酸化層、10…基板、11…酸化防止膜

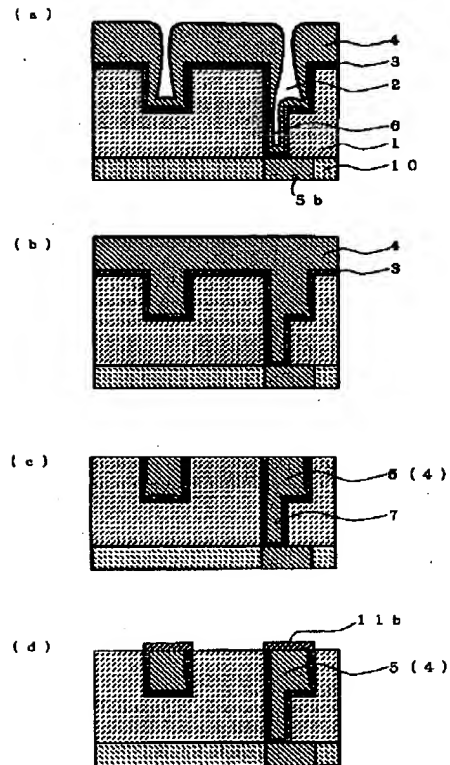
【図1】



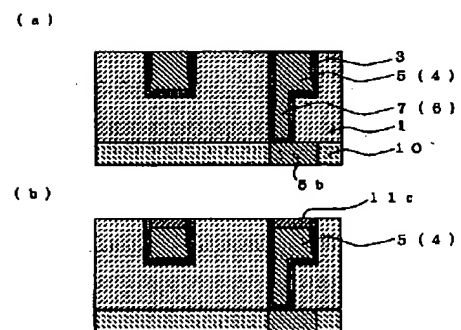
【図2】



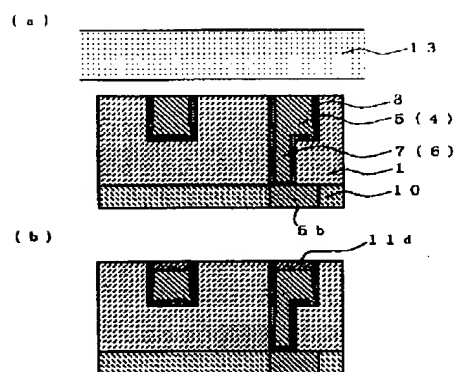
【図3】



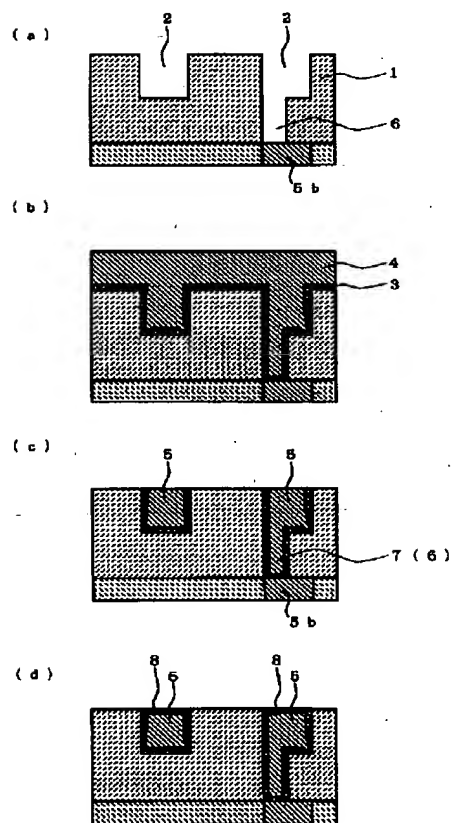
【図4】



【図5】



【図7】



【図6】

